

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-176141

(43)Date of publication of application : 21.06.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
G06K 19/07
G06K 19/077
H01L 21/8234
H01L 27/088

(21)Application number : 2000-372727

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD
HITACHI COMMUN SYST INC

(22)Date of filing : 07.12.2000

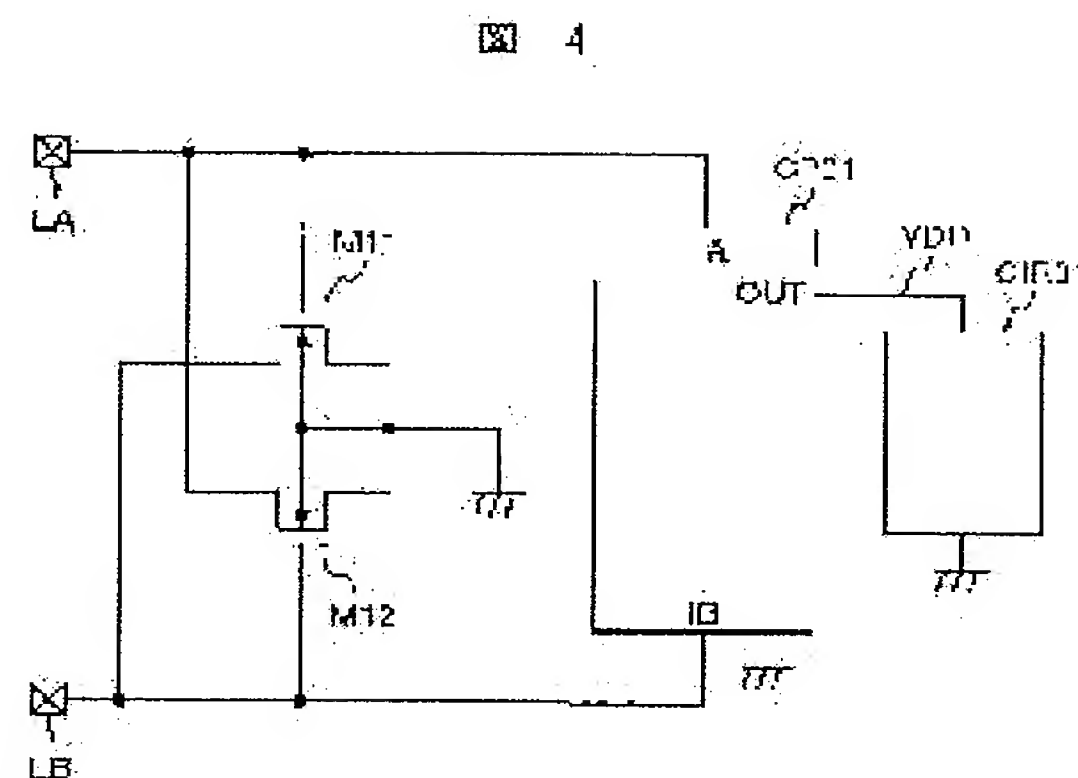
(72)Inventor : WATANABE KAZUKI
USAMI MITSUO
YAMAMOTO MOROHISA
HAMAGISHI TAKAHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND IC TAG

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem where power loss due to a parasitic diode is large and forming efficiency of a power source voltage is low when a voltage doubler rectifier circuit for forming a power source voltage of a semiconductor integrated circuit device mounted on an IC tag is formed on the same silicon wafer.

SOLUTION: In a MOS transistor M11, a gate is connected with one terminal LA out of a pair of antenna terminals formed on a semiconductor integrated circuit device. In a MOS transistor M12, a gate is connected with the other terminal LB. A circuit having constitution wherein the respective drains and bulks of the MOS transistors M11 and M12 are connected with ground, a source of the MOS transistor M11 is connected with the antenna terminal LB, and a source of the MOS transistor M12 is connected with the antenna terminal LA, i.e., a circuit for forming reference potential by which operation of a parasitic diode is prevented is arranged between input terminals 1A, 1B of the voltage doubler rectifier circuit CP01. Thereby power loss due to the parasitic diode is reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-176141

(P2002-176141A)

(43) 公開日 平成14年6月21日 (2002. 6. 21)

(51) Int.Cl. ⁷	識別記号	F I	テーマト* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	B 5 B 0 3 5
21/822		G 0 6 K 19/00	H 5 F 0 3 8
G 0 6 K 19/07			K 5 F 0 4 8
19/077		H 0 1 L 27/08	1 0 2 A
H 0 1 L 21/8234			

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2000-372727(P2000-372727)

(22) 出願日 平成12年12月7日 (2000. 12. 7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(71) 出願人 000233479

日立通信システム株式会社

神奈川県横浜市戸塚区戸塚町180番地

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及びI Cタグ

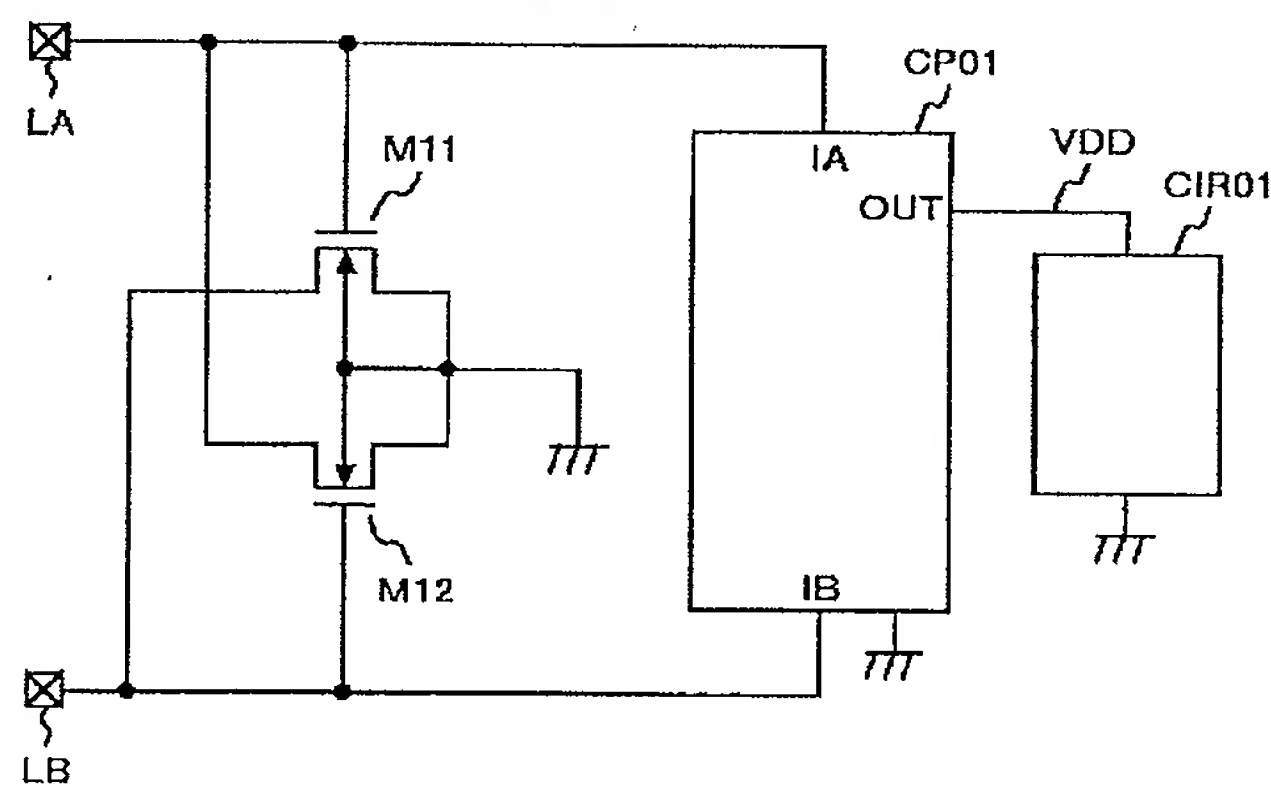
(57) 【要約】

【課題】 I Cタグに搭載される半導体集積回路装置の電源電圧を生成する倍圧整流回路を同一シリコンウェハ上に形成する場合、寄生ダイオードによる電力損失が大きく、電源電圧の生成効率が低かった。

【解決手段】 半導体集積回路装置上に形成される一対のアンテナ端子の一方の端子L Aにゲートを接続したM O SトランジスタM 1 1と、他方の端子L Bにゲートを接続したM O SトランジスタM 1 2のドレイン同士及びバルク同士をグラウンドに接続すると共に、トランジスタM 1 1のソースをアンテナ端子L Bに、トランジスタM 1 2のソースをアンテナ端子L Aに接続した構成の回路、即ち寄生ダイオードが動作しないための基準電位を生成する回路を、倍圧整流回路C P 0 1の入力端子I A, I B間に設ける。

【効果】 寄生ダイオードによる電力損失を低減する。

図 4



【特許請求の範囲】

【請求項1】 アンテナが接続される第1及び第2のアンテナ端子と、
 ゲート端子が前記第1のアンテナ端子に接続されソース端子が前記第2のアンテナ端子に接続される第1のMOS電界効果トランジスタと、
 該第1のMOS電界効果トランジスタのドレイン及びバルク端子が接続される第1の接続点と、
 ゲート端子が前記第2のアンテナ端子に接続されソース端子が前記第1のアンテナ端子に接続されドレイン及びバルク端子が前記第1の接続点に接続される第2のMOS電界効果トランジスタと、
 前記第1及び第2のアンテナ端子に入力端子が接続される倍圧整流回路と、
 該倍圧整流回路の出力端子が接続される第2の接続点とを有する半導体集積回路装置であって、
 前記第1及び第2の接続点間の電位差を電源電圧として供給するよう構成したことを特徴とする半導体集積回路装置。

【請求項2】 前記倍圧整流回路は、
 アノード端子が前記第1のアンテナ端子に接続される第1のダイオードと、
 該第1のダイオードのカソード端子が接続される第3の接続点と、
 該第3の接続点と前記第2のアンテナ端子の間に接続される第1の容量と、
 アノード端子が前記第3の接続点に接続される第2のダイオードと、
 該第2のダイオードのカソード端子が接続される第4の接続点と、
 該第4の接続点と前記第1のアンテナ端子の間に接続される第2の容量と、
 アノード端子が前記第4の接続点に接続される第3のダイオードと、
 該第3のダイオードのカソード端子が接続される第5の接続点と、
 該第5の接続点と前記第2のアンテナ端子の間に接続される第3の容量と、
 アノード端子が前記第5の接続点に接続されカソード端子が前記第2の接続点に接続される第4のダイオードと、から構成される請求項1記載の半導体集積回路装置。

【請求項3】 前記第1及至第4のダイオードは、ドレイン端子及びゲート端子をアノード端子とし、ソース端子をカソード端子とし、ドレイン端子とソース端子が接続されると共にバルク端子が前記第1の電位に接続されるMOSトランジスタからそれぞれ構成される請求項2記載の半導体集積回路装置。

【請求項4】 請求項1及至3のいずれか1項に記載の半導体集積回路装置を、論理回路またはメモリ回路と同一

のシリコンウェハ上に形成したことを特徴とする半導体集積回路装置。

【請求項5】 請求項1及至4のいずれか1項に記載の半導体集積回路装置を搭載したことを特徴とするICタグ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路装置に係り、特に、非接触型ICカード及びICタグ（以下、両者をICタグで代表する）用半導体集積回路装置の電源回路に関する技術である。

【0002】

【従来の技術】 近年、半導体集積回路装置を搭載したいわゆるICタグが普及してきている。ICタグは、リーダ装置と半導体集積回路装置との間で情報の交換を行い、ICタグが保持しているデータの送信など様々な機能を実現する。

【0003】 ICタグに搭載された半導体集積回路装置は、リーダ装置から供給された電磁波を、ICタグに搭載されたアンテナで受信し、アンテナの両端に発生した電圧を整流する。更に、電源電圧端子とグランド端子に接続された容量によって平滑化された電圧を内部回路に電源電圧として供給する。

【0004】 この種の従来例として、特開平10-322250号公報に開示されているように、小さな入力電圧でも論理回路、メモリ回路などが動作するために十分な電源電圧を生成できるように倍圧整流回路を搭載しているものが知られている。この従来例では、高周波での倍圧整流回路の整流効率を向上する一手段として、倍圧整流回路を構成するダイオードにショットキーバリアダイオードを用いることが記載されている。

【0005】

【発明が解決しようとする課題】 しかし、前述した従来例のように、倍圧整流回路を構成するダイオードにショットキーバリアダイオードを用いる場合、論理回路やメモリ回路と同一チップ上に倍圧整流回路を形成するには、ショットキーバリアダイオードを形成できる製造工程を有する半導体集積回路装置に限られてしまう。

【0006】 一方、ショットキーバリアダイオードを形成する工程が無く、MOS電界効果トランジスタ（以下、単にMOSトランジスタと称する）、抵抗、容量を形成する工程を有する半導体集積回路装置に、倍圧整流回路を搭載する場合、図1に示すようにショットキーバリアダイオードの代わりにドレイン端子とゲート端子を接続したMOSトランジスタを用いることが考えられる。以下、MOSトランジスタで構成したダイオードを用いて予備検討した倍圧整流回路の問題点について説明する。

【0007】 図1において、参照符号LA、LBは半導体集積回路装置上に形成されるアンテナ端子であり、こ

のアンテナ端子L A、L BにはI Cタグまたは同一半導体集積回路装置上に搭載されるアンテナが接続される。更に、アンテナ端子L AにはN型MOS（以下、NMOSと称する、同様にP型の場合はPMOSと称する）トランジスタM01のドレイン端子及びゲート端子が接続され、ソース端子は接続点N1に接続される。この接続点N1とアンテナ端子L Bの間に容量C01が接続される。NMOSトランジスタM02のドレイン端子とゲート端子は接続点N1にされ、ソース端子は接続点N2に接続される。接続点N2とアンテナ端子L Aの間には、容量C02が接続される。また、NMOSトランジスタM03のドレイン端子とゲート端子は接続点N2に接続され、ソース端子は接続点N3に接続される。接続点N3とアンテナ端子L Bの間には容量C03が接続される。NMOSトランジスタM04のドレイン端子とゲート端子は接続点N3にされ、ソース端子は出力端子O U Tに接続される。更に、出力端子O U Tとアンテナ端子L Bの間に平滑用の容量C04が接続され、この出力端子O U Tとグランド端子の差電圧が電源電圧V D Dとなる。

【0008】このように構成される図1に示した倍圧整流回路は、前述した従来例に開示されている倍圧整流回路を構成するダイオードを、ドレイン端子とゲート端子を接続したNMOSトランジスタからなるダイオードに置き換えたものと同様の回路機能である。

【0009】ここで、アンテナ端子L Bは半導体集積回路装置内のグランド端子となり、NMOSトランジスタM01、M02、M03、M04のバルク端子は、アンテナ端子L Bに接続する。

【0010】図1の回路構成におけるアンテナ端子L A、L Bの電圧波形を図2に示す。図2中に示したように、アンテナ端子L Bを半導体集積回路装置内のグランド電位とした場合、もう一方のアンテナ端子L Aはグランド電位よりも低い範囲でも変動する。

【0011】図2のΦ1の期間においては、NMOSトランジスタM01のゲート端子、ドレイン端子及びソース端子に、NMOSトランジスタM01のバルク端子よりも高い電位が印加されるため、ドレイン端子とバルク端子の間に寄生するPN接合ダイオードに順方向電流が流れることはない。

【0012】しかし、図2のΦ2の期間においては、NMOSトランジスタM01のゲート端子、ドレイン端子に、NMOSトランジスタM01のバルク端子よりもアンテナ端子L Aとアンテナ端子L Bの電位差V01だけ低い電圧が印加されるため、ドレイン端子とバルク端子の間に寄生するPN接合ダイオードの順方向に電圧が印加されることになる。

【0013】したがって、電位差V01がPN接合ダイオードの順方向電圧よりも高い電圧になった場合、NMOSトランジスタM01のドレイン端子からバルク端子

に対して電流がリークしてしまい、電源電圧の生成効率が低下する。同様に、NMOSトランジスタM01のソース端子にも、基準電位（グランド電位）よりも低い電位が印加されるため、NMOSトランジスタM01のソース端子からバルク端子に電流がリークしてしまい、電源電圧の生成効率が低下する。

【0014】このような各接続点の電位関係は、倍圧整流回路に用いるダイオードとして、MOSトランジスタを用いた場合のみの問題ではなく、ショットキーバリアダイオードや、PN接合ダイオードを用いた場合でも、倍圧整流回路、論理回路、メモリ回路などを同一半導体集積回路装置上に搭載した場合に発生する共通の問題である。

【0015】したがって、本発明の目的は、寄生素子による電力損失を小さくした倍圧整流回路を搭載した半導体集積回路装置を提供することにある。

【0016】また、上記半導体集積回路装置を用いたI Cタグを提供することも本発明の目的の一つである。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体集積回路装置は、アンテナが接続される第1及び第2のアンテナ端子と、ゲート端子が前記第1のアンテナ端子に接続されソース端子が前記第2のアンテナ端子に接続される第1のMOS電界効果トランジスタと、該第1のMOS電界効果トランジスタのドレイン及びバルク端子が接続される第1の接続点と、ゲート端子が前記第2のアンテナ端子に接続されソース端子が前記第1のアンテナ端子に接続されドレイン及びバルク端子が前記第1の接続点に接続される第2のMOS電界効果トランジスタと、前記第1及び第2のアンテナ端子に入力端子が接続される倍圧整流回路と、該倍圧整流回路の出力端子が接続される第2の接続点とを有する半導体集積回路装置であって、前記第1及び第2の接続点間の電位差を電源電圧として供給するよう構成したことを特徴とするものである。

【0018】このように構成することにより、供給するMOSトランジスタのドレインと、ソースに存在する寄生素子すなわち寄生ダイオードが動作しないため、寄生素子による電力損失を低減することができる。

【0019】

【発明の実施の形態】以下、本発明に係る半導体集積回路装置及びI Cタグの好適な実施の形態について添付図面を参照しながら説明する。

【0020】本発明の半導体集積回路装置を適用するI Cタグの構成を図3に示す。図3において、参照符号C D1はI Cタグを示し、このI CタグC D1に搭載された半導体集積回路装置は、リーダ装置R D1のアンテナL2から供給された電磁波S11をI Cタグに搭載されたアンテナL1で受信し、アンテナL1の両端に発生した電圧を整流回路部B1で整流し、論理回路とメモリ回

路と変調信号発生回路を含む信号処理機能部B2に電源電圧P1として供給する。なお、ここでの電源電圧P1は倍圧整流回路の入力電圧と出力電圧の差電圧であり、後述する電源電圧VDDはグランド端子と倍圧整流回路の出力電圧間の差電圧である。

【0021】整流を行う整流回路部B1は、信号処理機能部B2に供給するクロック信号S01を電磁波S11から復調するクロック復調回路と、ICタグCD1から、リーダ装置RD1への通信を行うための信号S12を発生する変調回路を有している。変調回路は、信号処理機能部B2の変調信号発生回路で発生される変調信号S02により駆動され、リーダ装置RD1との通信を行う。

【0022】なお、ICタグCD1のアンテナL1は、半導体集積回路装置上に形成した単一チップの場合と、半導体集積回路装置外に形成した単一チップで構成される場合がある。

【0023】図4に、ICタグに搭載される本発明の半導体集積回路装置に形成する具体的な電源回路の回路構成を示す。同図は、アンテナ端子とグランド端子を分離した倍圧整流回路を含む電源回路と、電源回路の出力が供給される回路部である。

【0024】半導体集積回路装置上に形成されるアンテナ端子LA及びLBに、ICタグ又は半導体集積回路装置上に搭載されるアンテナが接続される。電源回路は、NMOSトランジスタM11、M12と、倍圧整流回路CP01とから構成される。NMOSトランジスタM11のゲート端子はアンテナ端子LAに接続され、ソース端子はアンテナ端子LBに接続され、ドレイン端子及びバルク端子は半導体集積回路装置内のグランド端子に接続される。同様に、NMOSトランジスタM12のゲート端子はアンテナ端子LBに、ソース端子はアンテナ端子LAに、ドレイン端子及びバルク端子はグランド端子に接続される。また、倍圧整流回路CP01の入力端子IA、IBはそれぞれアンテナ端子LA、LBに接続される。

【0025】要するに、半導体集積回路装置上に形成される一対のアンテナ端子の一方の端子LAにゲートを接続したMOSトランジスタM11と、他方の端子LBにゲートを接続したMOSトランジスタM12のドレイン同士及びバルク同士をグランドに接続すると共に、トランジスタM11のソースをアンテナ端子LBに、トランジスタM12のソースをアンテナ端子LAに接続した構成の、寄生ダイオードが動作しないための基準電位を生成する回路を倍圧整流回路CP01の入力端子IA、IB間に設けた構成である。

【0026】倍圧整流回路CP01の出力端子OUTには、グランド端子を基準とした出力電圧VDDが現れる。この出力電圧VDDが電源電圧となり、同一ICタグ上、または同一半導体集積回路装置上に内蔵される論理回

路やメモリ回路などの回路部CIR01の電源電圧として供給される。なお、倍圧整流回路CP01は、図1で述べた回路構成の倍圧整流回路を用いることができるが、ただし後述するように倍圧整流回路を構成するNMOSトランジスタのバルク端子はグランド端子に接続する必要がある。

【0027】この回路構成では、図5の電圧波形に示すようにアンテナ端子LA及びLBは、グランド端子よりNMOSトランジスタM11またはM12のドレイン・ソース間電圧V01分だけ低い電位Vminより高い範囲で動作することになる。

【0028】ここで、電圧V01がNMOSのドレイン端子及びソース端子に寄生するPN接合の順方向電圧よりも十分に小さな電圧になるようにNMOSトランジスタM11及びM12のトランジスタサイズを設定する。これにより、NMOSトランジスタM11、M12は、バルク端子をグランド端子に接続することで、ドレイン端子またはソース端子とバルク端子の間に寄生するダイオードに順方向電流が流れることはなくなる。

【0029】同様に、倍圧整流回路CP01を構成するNMOSトランジスタのバルク端子をグランド端子に接続することにより、NMOSトランジスタのドレイン端子およびソース端子に寄生するPN接合からバルク端子に対して電流がリークすることはなくなり、電源電圧の生成効率が低下することはなくなる。

【0030】図6は本発明の半導体集積回路装置の一実施の形態例を示す図であり、アンテナ端子とグランド端子を分離した倍圧整流回路を含む電源回路である。この電源回路は、アンテナ端子LA、LBと、NMOSトランジスタM21、M22、M31～M34と、容量C31～C34から構成され、以下のように接続される。半導体集積回路装置上に形成されるアンテナ端子LA及びLBには、ICタグに搭載されるアンテナL1が接続される。NMOSトランジスタM21は、ゲート端子にアンテナ端子LAが、ソース端子にアンテナ端子LBが、ドレイン端子に半導体集積回路装置内のグランド端子が接続される。同様に、NMOSトランジスタM22は、ゲート端子にアンテナ端子LBが、ソース端子にアンテナ端子LAが、ドレイン端子にグランド端子が接続される。

【0031】また、NMOSトランジスタM31のドレイン端子及びゲート端子はアンテナ端子LAに接続し、ソース端子は接続点N1に接続する。この接続点N1とアンテナ端子LBの間に容量C31を接続する。NMOSトランジスタM32のドレイン端子とゲート端子は接続点N1に接続し、ソース端子は接続点N2に接続する。この接続点N2とアンテナ端子LAの間に容量C32を接続する。NMOSトランジスタM33のドレイン端子とゲート端子は接続点N2に接続し、ソース端子は接続点N3に接続する。この接続点N3とアンテナ端子

LBの間に容量C33を接続する。NMOSトランジスタM34のドレイン端子とゲート端子に接続点N3を接続し、ソース端子に出力端子OUTを接続する。この出力端子OUTとグランド端子の間に平滑用の容量C34を接続し、この出力端子OUTとグランド端子の差電圧が電源電圧VDDとなる。ここで、NMOSトランジスタM21, M22, M31~M34のバルク端子は全てグランド端子に接続する。

【0032】本実施の形態での、NMOSトランジスタM31, M32, M33, M34、及び容量C31, C32, C33により構成される倍圧整流回路は、特開平10-322250号公報に述べられている倍圧整流回路におけるショットキーバリアダイオードをゲート端子とドレイン端子を接続したNMOSトランジスタで置き換え、NMOSトランジスタのバルク端子をグランドに接続する。なお、図4に示した倍圧整流回路CP01は、本実施の形態例で示した回路構成に限定されるものではなく、機能同等な回路に適用できる。

【0033】このような回路構成にすることで、上述のようにNMOSトランジスタのドレイン端子及びソース端子とバルク端子の間に寄生するダイオードが動作することはなくなるため、同一の半導体集積回路装置に倍圧整流回路を形成しても、電源電圧の生成効率が低下することはなくなる。

【0034】以上、本発明の好適な実施の形態例について説明したが、本発明は上記実施の形態例に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは勿論である。例えば、上記説明では、バルクがP型サブストレート（又はPウエル）の場合を例にして、図4のMOSトランジスタM11とM12をNMOSトランジスタで実施しているが、N型サブストレート（又はNウエル）を用いる場合には、PMOSトランジスタで実現できることは言うまでもない。その場合、PMOSトランジスタのバルク端子は高電位側端子に接続すればよい。

*

* 【0035】

【発明の効果】 前述した説明から明らかなように、本発明によれば、電源電圧を生成する倍圧整流回路における寄生素子に起因する電力損失を低減することが可能になる。

【0036】これにより、ICタグに搭載する半導体集積回路装置に電源電圧を生成する倍圧整流回路を含めて1チップ化した場合に生じる電源電圧の生成効率の低下を防ぎ、電力損失を低減することができる。

【図面の簡単な説明】

【図1】 NMOSトランジスタで構成した予備検討の倍圧整流回路図である。

【図2】 図1の回路構成におけるアンテナ端子の電圧波形図である。

【図3】 本発明を適用するICタグシステムの構成図である。

【図4】 図3のICタグに搭載される本発明の半導体集積回路装置に形成する電源回路の回路構成を示す図である。

【図5】 図4の回路構成におけるアンテナ端子及びグランド端子の電圧波形図である。

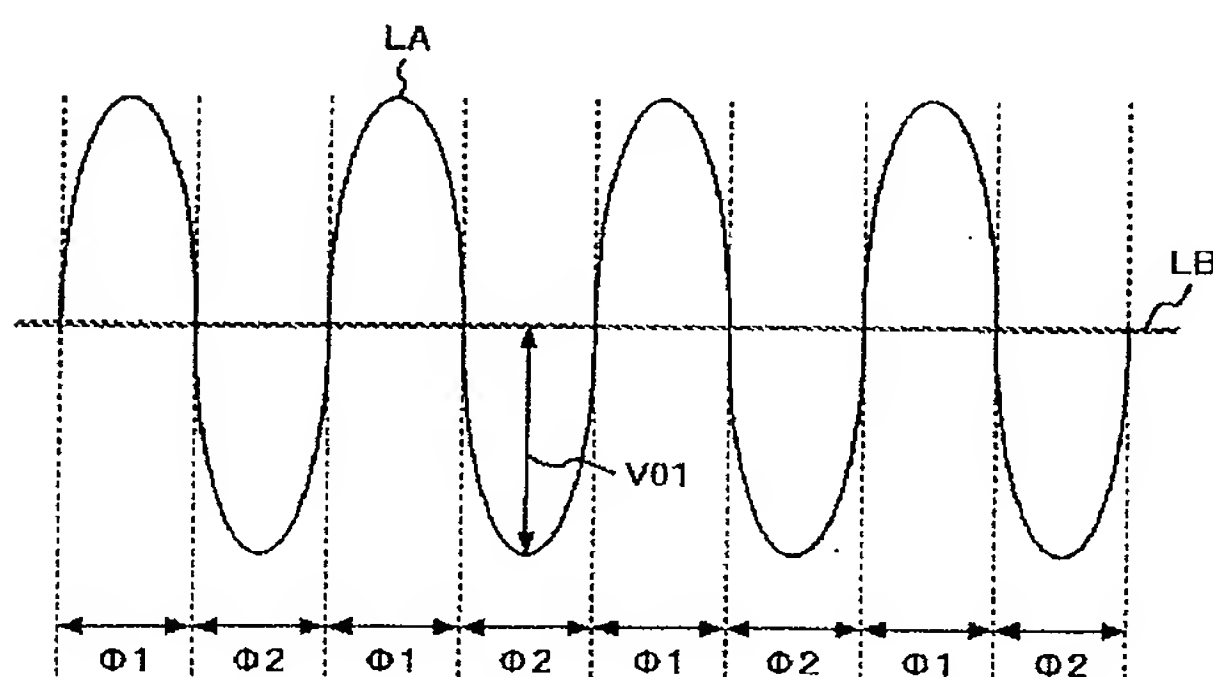
【図6】 本発明の半導体集積回路装置に形成するアンテナ端子とグランド端子を分離した倍圧整流回路を含む電源回路の回路構成図である。

【符号の説明】

B1…整流回路部、B2…信号処理機能部、C01~C04…容量、C31, C32, C33, C34…容量、CD1…ICタグ、CIR01…回路部、CP01…倍圧整流回路、L1, L2…アンテナ、LA, LBアンテナ端子、M01~M04…NMOSトランジスタ、M11, M12, M21, M22…NMOSトランジスタ、M31~M34…NMOSトランジスタ、RD1…リーダ装置、S01…クロック信号、S02…変調信号、S11, S12…リーダ装置とICタグ間の通信信号、VDD, P1…電源電圧。

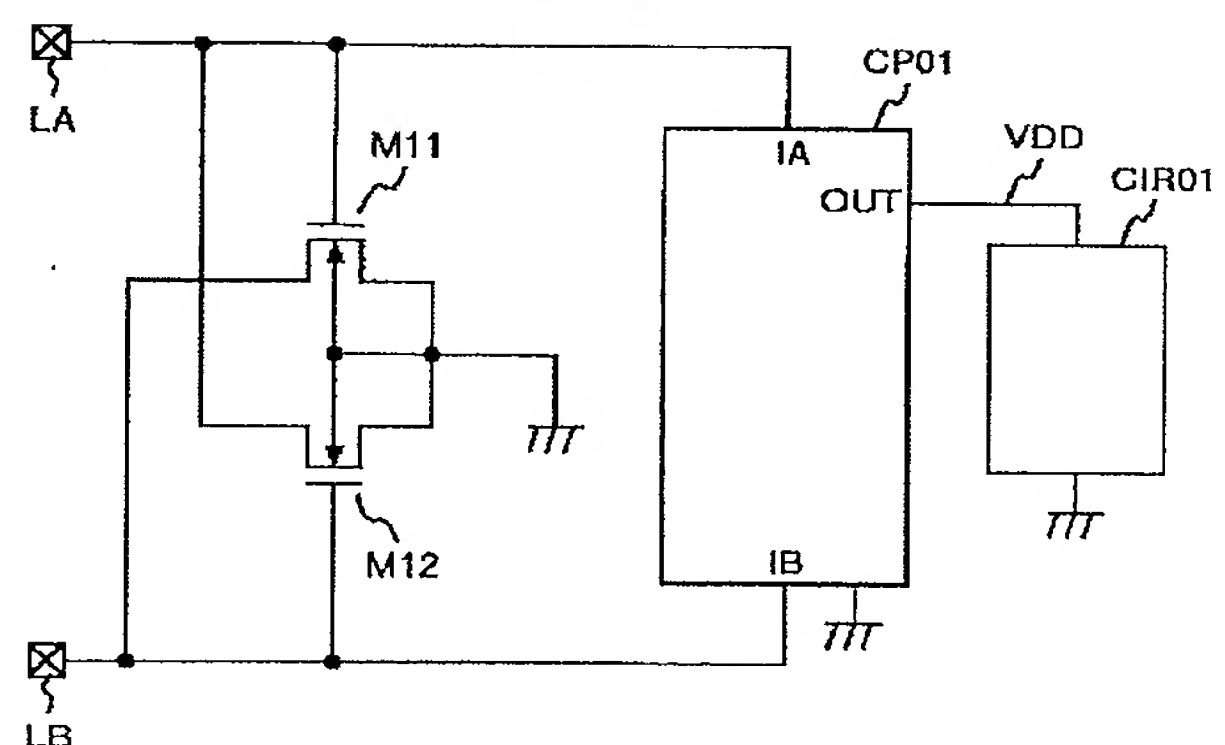
【図2】

図 2



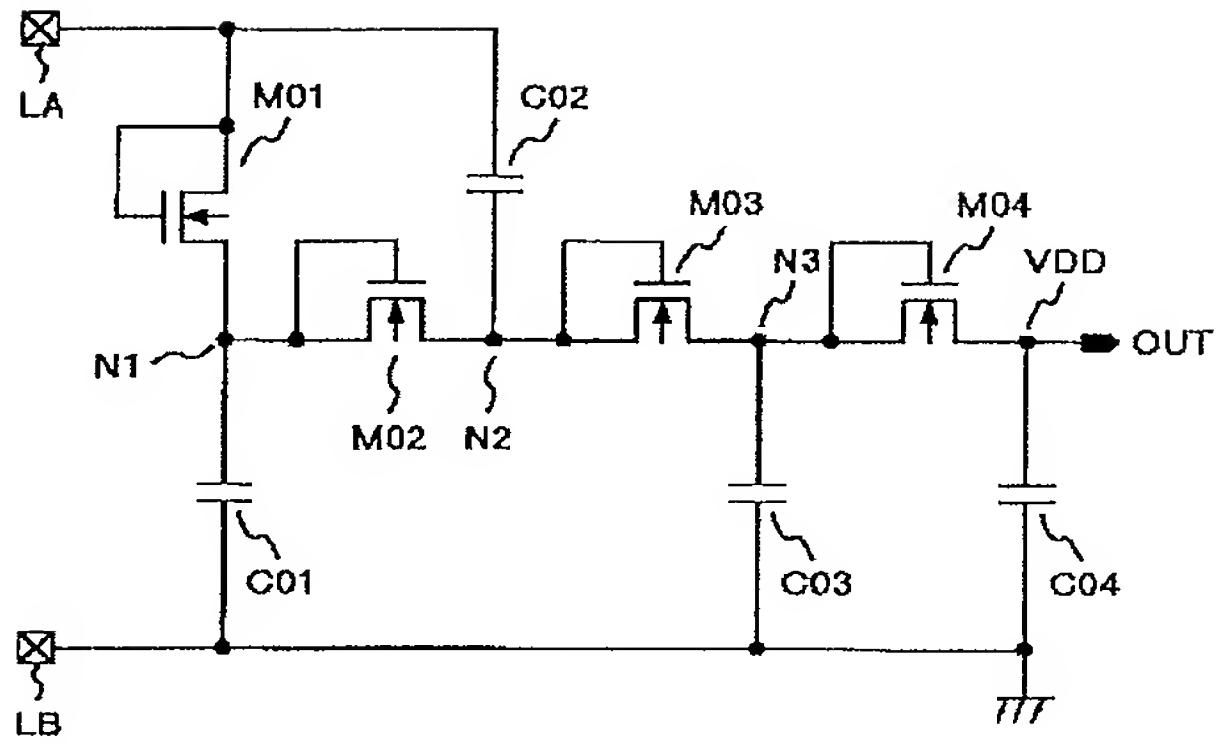
【図4】

図 4



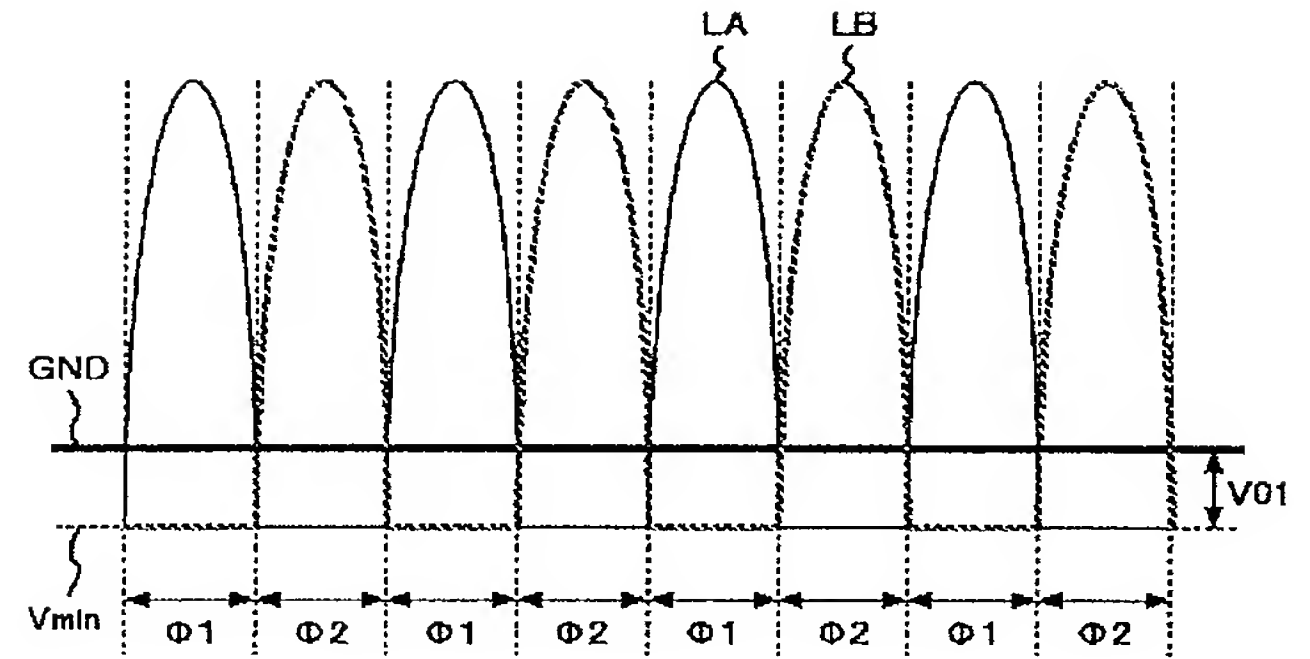
【図 1】

☒ 1



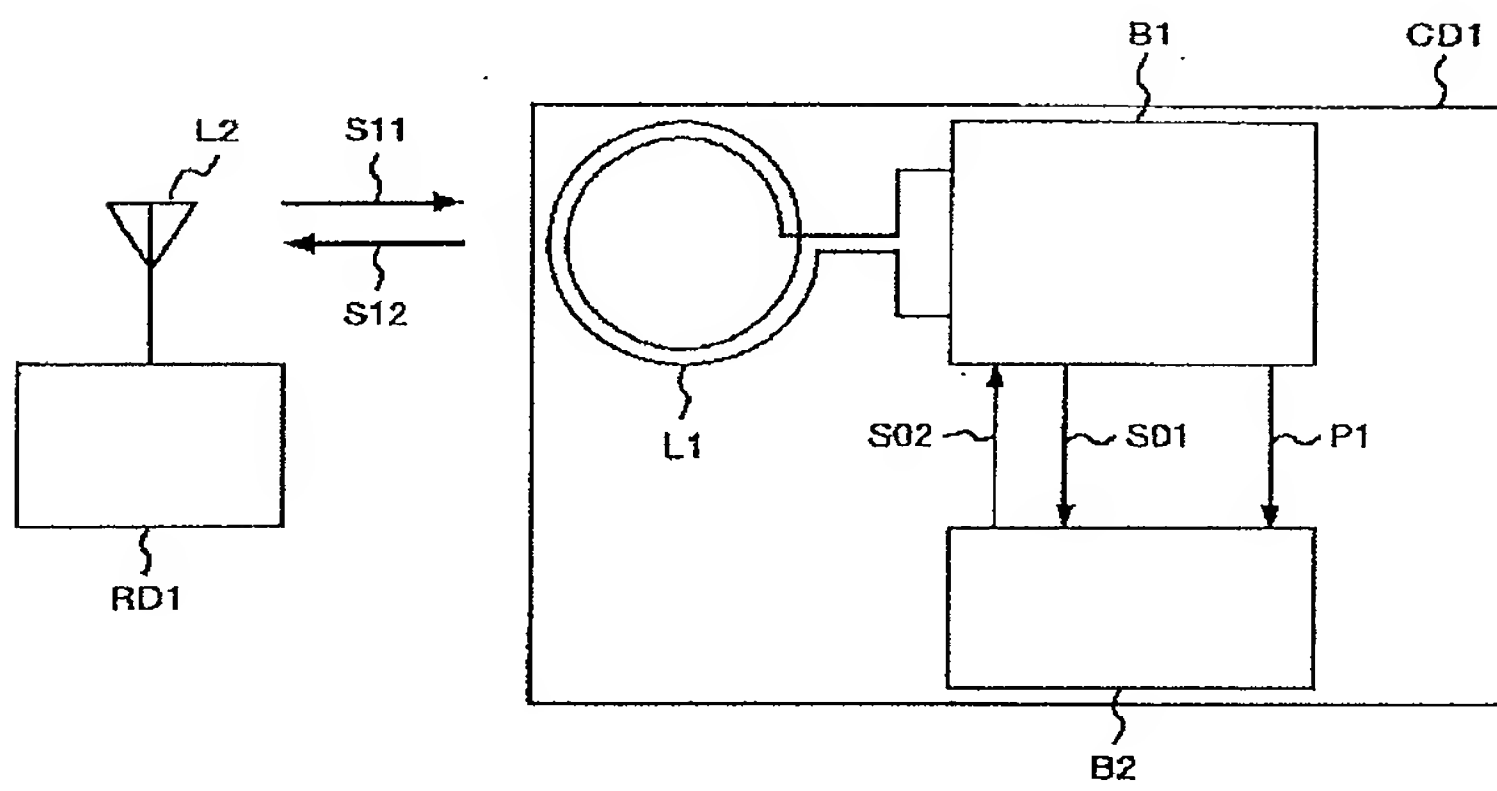
【图 5】

Figure 5 shows a square with a circle inside. The circle is divided into four quadrants by a vertical line and a horizontal line. The top-left quadrant is labeled 'A', the top-right is 'B', the bottom-left is 'C', and the bottom-right is 'D'. The vertical line is labeled 'E' at the top and 'F' at the bottom. The horizontal line is labeled 'G' on the left and 'H' on the right.



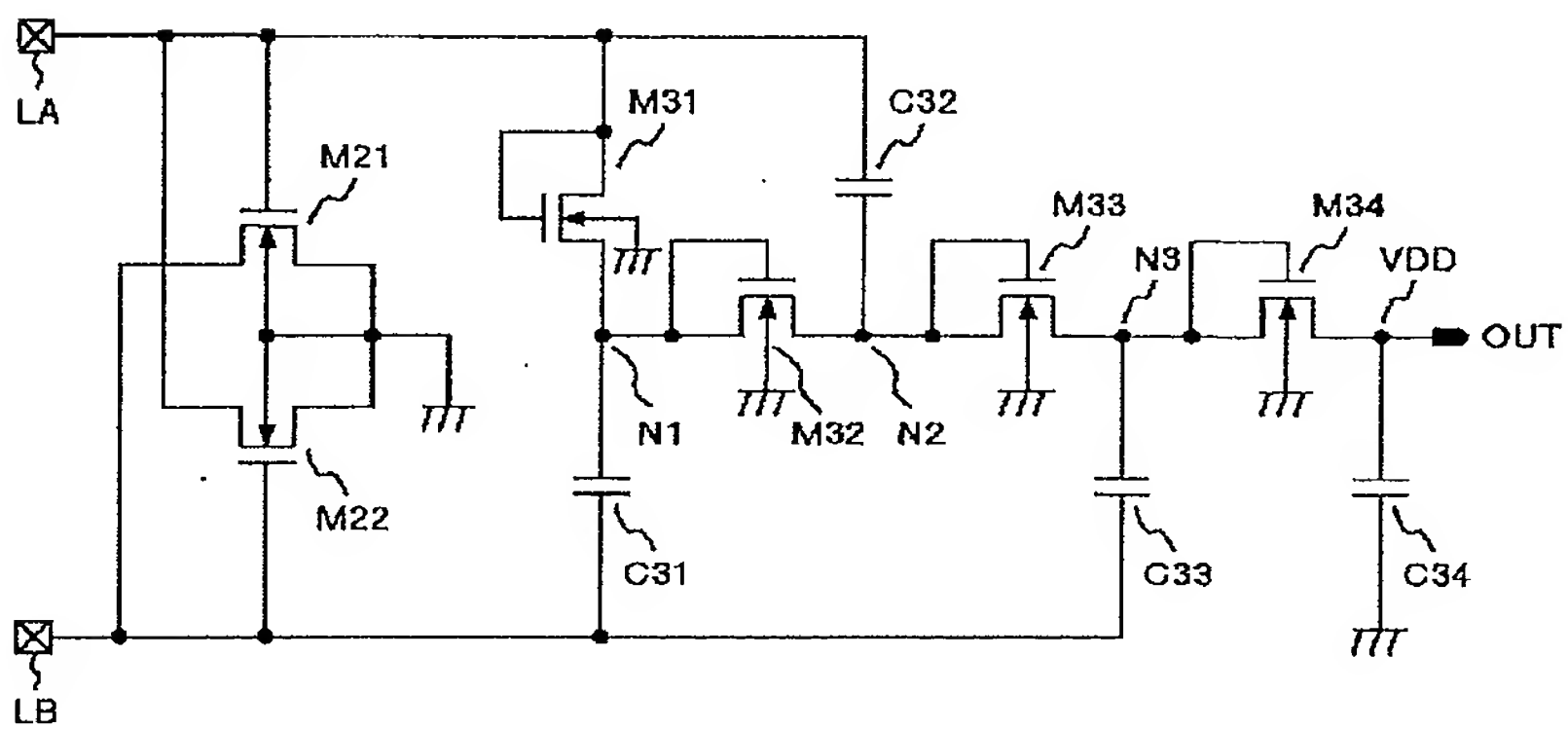
【図 3】

3



【图 6】

6



フロントページの続き

(51)Int.Cl.⁷
H01L 27/088

識別記号

F I

ターム(参考)

(72)発明者 渡邊 一希
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 宇佐美 光雄
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 山本 師久
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 浜岸 孝博
神奈川県横浜市戸塚区戸塚町180番地 日
立通信システム株式会社内

Fターム(参考) 5B035 AA04 BB09 CA01 CA12 CA23
5F038 AV04 AV06 AZ10 BB01 BG03
BG04 BG10 DF05 DF08 EZ20
5F048 AA00 AB01 AB10 AC01 AC10
BE04